

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61263251 A**

(43) Date of publication of application: **21.11.86**

(51) Int. Cl **H01L 27/04**

(21) Application number: **60105514**

(71) Applicant: **NEC CORP**

(22) Date of filing: **17.05.85**

(72) Inventor: **INADA MASAOKI**

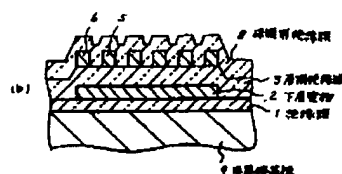
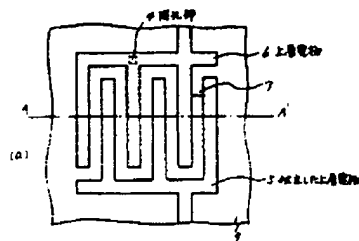
(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a large capacity value by forming two pectinated electrodes electrically separated by the same wiring layers, and constructing to oppose the sides of the electrodes through a dielectric film, thereby reducing an occupying area of a capacity element.

CONSTITUTION: A lower layer electrode 2 is formed on the surface of an insulating film 1 formed on the surface of a semiconductor substrate 9, and an interlayer insulating film 3 is coated thereon. The film 3 becomes a dielectric in case of forming a capacity. Then, a hole 4 for conducting a part of the upper layer electrode with the electrode 2 is formed at the film 3. Thereafter, an upper layer film of aluminum is coated, the upper layer film is pectinated to form an upper layer electrode 6 in which upper and lower layer electrode 5, 2 are electrically connected. Subsequently, a protective insulating film 8 of approx. thickness of the electrodes 5, 6 is coated. The film 8 becomes a dielectric of a chip protective film and a capacity element to complete the capacity element.



⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)11月21日

H 01 L 27/04

C-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭60-105514

⑰ 出 願 昭60(1985)5月17日

⑱ 発 明 者 稲 田 正 明 東京都港区芝5丁目33番1号 日本電気株式会社
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

多層配線構造を有し配線層の組み合わせにより形成された容量素子を有する半導体装置において、同一配線層が電気的に分離された2個のくし形電極を形成しかつ該くし形電極の側面が誘電体膜を介して互いに対向するように構成されている事を特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に容量素子を有する半導体装置に関する。

〔従来の技術〕

従来、半導体装置に形成される容量素子は、一般的には第3図(a)、(b)に示す構造を有している。

すなわち第3図(a)、(b)に示すように、下層電極2上に設けられた層間絶縁膜3上に上層電極15を形成しその後、半導体素子保護用絶縁膜8を形成して容量素子を平行平板型構造としていた。尚第3図(a)、(b)において9は半導体基板、1は絶縁膜である。

〔発明が解決しようとする問題点〕

しかしながら、このようにして形成された平行平板型容量素子の容量の値は、誘電体としての層間絶縁膜3の材質と厚さ及び、下層電極2と上層電極15とのかさなり部の面積に比例する。従って層間絶縁膜3の厚さを一定にし大容量の容量素子を形成しようとするれば、下層電極2と上層電極15のかさなり面積を大きくしなければならず、半導体装置に占める容量素子の面積が大きくなり半導体装置が大型になってしまうという欠点があった。

本発明の目的は、上記欠点を除去し、半導体装置に占める面積が小さく、しかも大きな容量値を持つ容量素子を有する半導体装置を提供すること

にある。

〔問題点を解決するための手段〕

本発明の半導体装置は多層配線構造を有し配線層の組み合せにより形成された容量素子を有する半導体装置であって、同一配線層が電気的に分離された2個のくし形電極を形成しかつこのくし形電極の側面が誘電体膜を介して互いに対向するように構成したものである。

〔実施例〕

以下に、本発明の実施例について図面を用いて詳細に説明する。

第1図(a)、(b)は本発明の一実施例の平面図及びA-A'断面図である。

半導体基板9の表面に形成された絶縁膜1の表面に、公知の方法によりAL膜等からなる下層電極2を形成し、その上に厚さ1.0~1.5 μ mの層間絶縁膜3を被着する。尚、この層間絶縁膜3は容量形成の際に誘電体となる膜である。次に、上層の電極の一部を下層の電極2と導通させるための開孔部4を層間絶縁膜3に形成する。その後、公

る従来構造の容量素子と比較して、上層電極5の側面積が大きくなるように形成されている為電気力線の拡がり効果が大きい。従って本実施例における縦方向容量は、同一容量素子面積を有する従来構造の容量素子のものより大きくなる。

横方向容量に関しては、独立した上層電極5と下層電極2と電気的に接続された上層電極6の対向する側面部の間隔7がパターン形成時の加工精度によって決定されるが、最小間隔に形成することができると横方向容量は大きなものとなる。

一方、縦方向容量に関しては、容量素子を形成している誘電体として用いられる層間絶縁膜3は下層配線2と上層配線5、6の絶縁も兼ねているため、容量素子の容量値を大きくする為に層間絶縁膜3を薄くすると配線系の寄生容量も増加して電気的特性に悪影響を与えてしまう。よって、層間絶縁膜3を薄くすることは、配線系の寄生容量が増加するため電気的特性上好ましくない。

このように本実施例の容量素子構造によれば、縦方向の層間絶縁膜3の厚さを変化させずに、横

知の方法によりAL等からなる厚さ1.5 μ m程度の上層膜を被着し、くし状に上層膜を加工し、独立した上層電極5と、下層電極2と電気的に接続された上層電極6とを形成する。

尚、独立した上層電極5と、下層電極と電気的に導通した上層電極6の対向する側面部の間隔7は、層間絶縁膜3の厚さよりも小さくした方が容量値を大きくするという効果は大きくなる。

続いて、上層電極5、6の膜厚程の保護用絶縁膜8を被着する。この絶縁膜8は、チップ保護膜と容量素子の誘電体となり、本発明の構造の容量素子が完成する。

このように構成された本実施例によれば、第1図(b)の断面図に示されるように、容量素子の有する容量は、下層電極²と独立した上層電極5間における縦方向容量のほかに、独立した上層電極5と下層電極と電気的に導通した上層電極6間における横方向容量がある。

本実施例における容量素子は、上層電極と下層電極のかさなる面積に比例して容量値が大きくな

方向の上層電極構造における、下層電極2と電気的に導通した上層電極6の側面と独立した上層電極5の側面の対向部の間隔7を小さくできる為、縦方向の容量に比較して横方向の容量を非常に大きくできる。よって、縦方向容量と横方向容量の合計は、従来構造の平行平板型のものと同一面積の容量に比較して大きくなる。

このように本実施例によれば、配線容量の寄生容量を増加させずに大容量の容量素子を少ない面積にて形成でき、半導体装置に占める容量素子の割合を非常に小さくできる。

次に、拡散層を利用した3層構造における本発明の実施例を図面を用いて説明する。

第2図(a)、(b)は本発明の他の実施例の平面図、及びB-B'断面図である。

第2図(a)、(b)に示すように半導体基板9上に反対導電型の不純物を公知の方法により導入し拡散層電極20を形成する。次に全面に絶縁膜1を形成したのち中間層電極の一部を拡散層電極20と導通させるための開孔部4aを絶縁膜1に形成す

る。次に、公知の方法によりA膜からなる中間層電極膜を被着してくし状に加工し、独立した中間層電極24と、拡散層電極20と電気的に導通した中間層電極25を形成する。

次に、厚さ1.0~1.5 μ mの層間絶縁膜3を被着したのち、上層電極と中間層電極25とを電気的に導通させるための開孔部4bを形成する。その後、公知の方法により上層膜を厚さ1.5 μ m程度被着し所望の形状に加工して上層電極26を形成する。その後厚さ約0.5 μ mの保護用絶縁膜8を被着して本発明構造の容量素子が完成する。この場合絶縁膜1及び層間絶縁膜3が誘電体として作用する。

本実施例によれば、縦形の容量が拡散層電極20と独立した中間層電極24間、及び中間層電極24と上層電極26間の両方によって形成される為に第1図(a)、(b)に示した実施例構造よりもさらに大容量の容量素子を少ない面積に形成することができる。

〔発明の効果〕

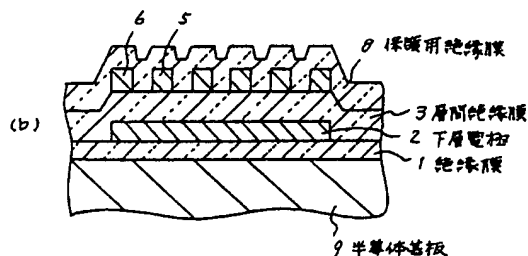
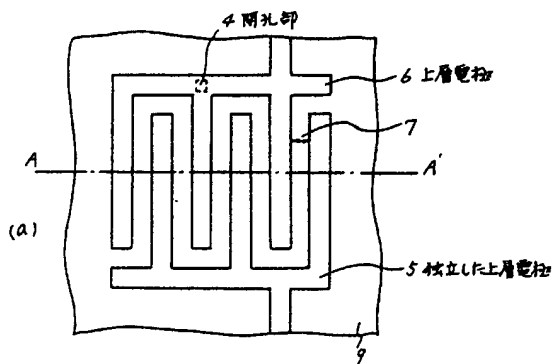
以上詳細に説明したように、本発明によれば、上層電極を電気的に分離されたくし形に形成し、この一方の電極を下層電極と接続し電荷蓄積部の面積を大きくすることにより小さな面積で大きな容量を持つ容量素子を備えた半導体装置が得られるので、半導体装置の高密度化、高集積化に大きな効果がある。

4. 図面の簡単な説明

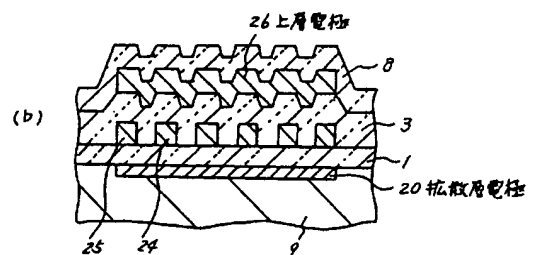
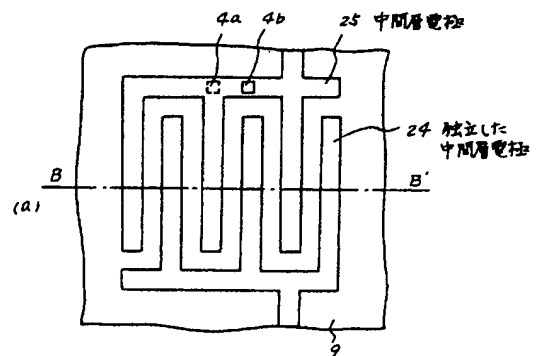
第1図(a)、(b)は本発明の一実施例の上面図及び断面図、第2図(a)、(b)は本発明の他の実施例の上面図及び断面図、第3図(a)、(b)は従来の容量素子の上面図及び断面図である。

1……絶縁膜、2……下層電極、3……層間絶縁膜、4、4a、4b……開孔部、5……独立した上層電極、6……上層電極、7……間隔、8……保護用絶縁膜、9……半導体基板、15……上層電極、20……拡散層電極、24……独立した中間層電極、25……中間層電極、26……上層電極。

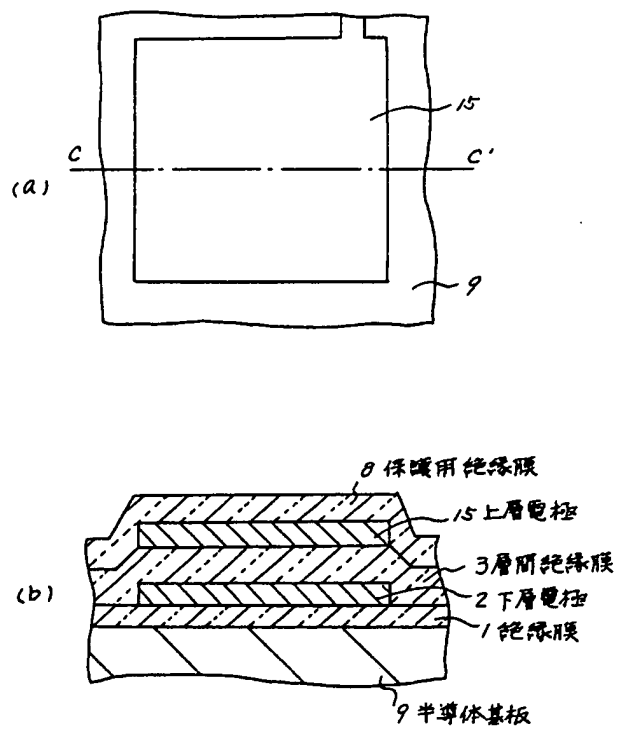
代理人 弁理士 内 原 賢



第1図



第2図



第 3 图